

JITTER INFLUENCE ON HIGH RESOLUTION ADC SYSTEMS
INFLUENCIA DE LA FLUCTUACIÓN EN SISTEMAS DE ADC DE ALTA
RESOLUCIÓN

Ing. Carlos Castro Serrato

Infineon Technologies A.G
Balanstraße 73, 81541, Munich, Alemania
carlos.castro@infineon.com

Abstract: High resolution analogue-to-digital converters (ADC), require an extremely accurate clock signal in order to achieve full performance, therefore special attention must be paid to the selection of the clock generator devices. The following article shows different sources of jitter in the sampling signal and how it affects the conversion accuracy.

Resumen: Los convertidores digitales análogos de alta resolución (ADC), requieren una señal de reloj de extrema precisión para lograr un buen desempeño, por lo que se debe prestar especial atención a la selección de los dispositivos de generador de reloj. Los siguientes artículos muestran diferentes recursos de fluctuación en la señal de muestra, y como afectan esta, a la precisión de la conversión.

Keywords: Jitter, A/D converters, signal-to-noise ratio

1. INTRODUCCIÓN

En una señal de reloj ideal, los flancos están separados un periodo constante de tiempo de un pulso al siguiente. En la práctica, las transiciones sufren desplazamientos temporales conocidos como jitter. Existen numerosos factores externos a la propia señal de reloj que pueden causar dicho jitter. Entre ellos destacan los que se especifican a continuación:

1.1 Ruido en la alimentación (Vdd) o masa del sistema generador de la señal de reloj.

El ruido en Vdd o en la masa del sistema induce alteraciones en los niveles de los voltajes de la

señal de reloj. Tal y como se muestra en la figura 1, esto tiene como consecuencia una desviación temporal en los flancos de la señal (jitter) que será proporcional a la pendiente de las transiciones (Slew Rate).

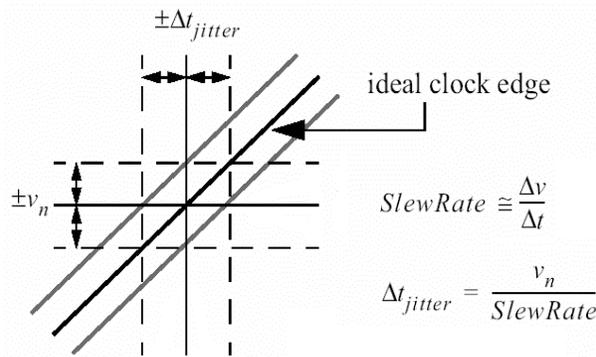


Fig. 1. Jitter debido a ruido en la alimentación o masa de la señal.

1.2 Influencias del layout en la PCB (Printed Circuit Board).

En la PCB, las líneas que alimentan el circuito generador de la señal de reloj (Vdd, Vss o masa), deben ser lo más anchas posibles. De este modo se minimizan inductancias parásitas que provocan alteraciones en los voltajes cuando las corrientes varían lo que, como se vio en el apartado anterior, puede conducir a la aparición de jitter.

Así mismo, es recomendable el uso de planos continuos para la masa del sistema bajo dichos circuitos, usando conexiones muy cortas entre los pines de los dispositivos y dicho plano.

Por último, se deben usar condensadores electrolíticos que, con la energía que almacenan, evitan variaciones bruscas en los voltajes de alimentación. Para evitar ruido de alta frecuencia se aconseja la utilización de condensadores de bajo valor con una pequeña resistencia en serie.

1.3 Jitter debido a crosstalk

Dos líneas paralelas y adyacentes en una PCB se influyen una a la otra debido a acoplamientos parásitos tanto capacitivos como inductivos (crosstalk). Tal y como se muestra en la figura 2 estas influencias, si se producen en una señal de reloj, dan lugar a jitter.

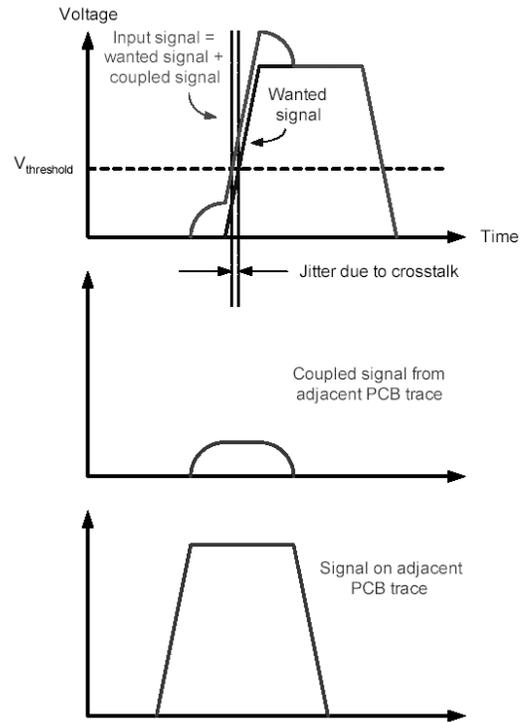


Fig. 2: Jitter debido a crosstalk

2. TIPOS DE JITTER

2.1. Jitter aleatorio y jitter determinista.

Una visualización estadística del jitter en un osciloscopio puede revelar si éste tiene un origen aleatorio (distribución Gaussiana) o determinista (picos en Vdd, crosstalk, etc.).

Debido a su distribución gaussiana, el jitter aleatorio puede especificarse con su valor rms (root-mean-square) o su valor de pico. Sin embargo, a medida que aumente el tiempo de medida, también aumentará el valor de los picos obtenidos. Por ello se recomienda el valor rms en caso de jitter aleatorio.

2.2. Jitter y ruido de fase.

El ruido de fase es la representación en frecuencia del jitter. Puede ser medido en un analizador de espectros siempre que el jitter a medir sea mayor que el del analizador. Los ingenieros de sistemas de radio frecuencia trabajan normalmente con ruido de fase y los de lógica

digital se interesan más por la representación en el dominio del tiempo del jitter.

2.3. Jitter periódico.

Es la medida más común del jitter aunque su definición puede llevar a confusión. Algunos autores consideran el jitter periódico como la variación temporal de las transición con respecto a su posición ideal. Otros, quizá la mayoría, lo definen como la variación en la duración de los periodos de la señal, sin tomar ningún tipo de referencia teórica. Aquellos que proponen esta definición denominan como TIE (Time Interval Error) al jitter referido a una señal ideal.

2.4. Jitter cíclico (cycle-to-cycle jitter).

Es la diferencia en la longitud del periodo entre dos ciclos consecutivos. El cycle-to-cycle jitter es especialmente importante si la señal se usa como referencia para una PLL (dispositivos usados para generar señales de reloj en sistemas ADC con una alta frecuencia de muestreo que requieran un jitter bajo).

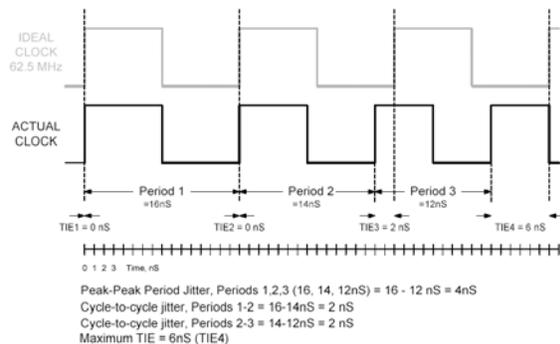


Fig. 3: Tipos de jitter

3. COMO AFECTA EL JITTER A LA PRECISIÓN DEL ADC

Los convertidores ADC son uno de los sistemas más susceptibles al jitter y, en particular, aquellos que a la salida proporcionan una longitud de datos elevada (Ej. 18 bits). Al contrario que con otros errores como el offset en los voltajes de entrada o de referencia en el ADC, que pueden ser corregidos posteriormente mediante software, cualquier imperfección en la señal de reloj provoca distorsión y/o ruido en el convertidor que no puede corregirse en otras etapas del sistema.

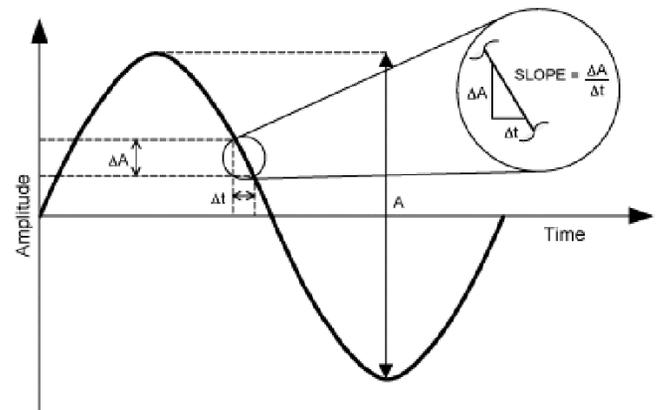


Fig. 4 : Error en la amplitud muestreada debido al jitter.

Como se muestra en la figura 4, el jitter generado por una señal de reloj causa que los circuitos internos del ADC dispansen el muestreo en instantes erróneos de tiempo. Una imprecisión Δt en el tiempo de muestreo equivale a un error de ΔA en la amplitud muestreada. Esto da como resultado un valor erróneo en la conversión provocando una degradación de la característica SNR del ADC, y por tanto del ENOB (número efectivo de bits) del sistema.

En el caso ideal el valor muestreado vendrá dado por la expresión:

$$V_{ideal}(n) = \frac{A}{2} \cdot \sin(2 \cdot \pi \cdot F_{in} \cdot t_n) \quad (1)$$

con

$$t_n = \frac{n}{F_{muestreo}} \quad (2)$$

A. Donde t_n representa el instante de muestreo de la señal analógica y $n=0,1,2,\dots$ es el número de la muestra.

Si la señal de reloj responsable de controlar el muestreo tiene jitter el valor que se obtendrá será:

$$V_{muestreado}(n) = \frac{A}{2} \cdot \sin(2 \cdot \pi \cdot F_{in} \cdot (t_n + \Delta t)) \quad (3)$$

donde Δt es el valor del jitter de la señal de

muestreo en cada instante.

Una vez llevada a cabo la conversión el valor digital obtenido a la salida es:

$$code(n) = \frac{V(n)}{LSB} = \frac{V(n)}{A} \cdot 2^N \quad (4)$$

donde N representa el número de bits del ADC

Cuando la señal de entrada es muestreada con jitter el error producido en el código de salida será:

$$\begin{aligned} \Delta code(n) &= \frac{\Delta V(n)}{A} \cdot 2^N \\ &= \frac{V_{ideal}(n) - V_{muestreado}(n)}{A} \cdot 2^N \quad (5) \\ &= 2^{N-1} [\sin(2\pi F_{in} t_n) - \sin(2\pi F_{in} (t_n + \Delta t))] \end{aligned}$$

En el caso de que el jitter no sea excesivamente alto se puede hacer la aproximación:

$$\begin{aligned} &\sin(2 \cdot \pi \cdot F_{in} \cdot t_n) - \sin(2 \cdot \pi \cdot F_{in} \cdot (t_n + \Delta t)) \quad (6) \\ &\cong (2 \cdot \pi \cdot F_{in} \cdot t_n) - (2 \cdot \pi \cdot F_{in} \cdot (t_n + \Delta t)) \end{aligned}$$

Y por tanto

$$\Delta code(n) = \pm 2^N \cdot \pi \cdot F_{in} \cdot \Delta t \quad (7)$$

Como ya se vio anteriormente el jitter provocado por ruido en la señal de reloj es:

$$\Delta t = \frac{\Delta V_n}{Slewrate} \quad (8)$$

Así, las variaciones en los códigos digitales debidos a dicho ruido será:

$$\Delta code(n) = \pm 2^N \cdot \pi \cdot F_{in} \cdot \frac{\Delta V_n}{Slewrate} \quad (9)$$

Como se puede deducir de la ecuación 9, no sólo es importante a la hora de elegir el sistema encargado de la señal de reloj del ADC que éste tenga un jitter especificado lo más bajo posible. De igual importancia es prevenir que dicha señal se vea afectada de ruido en lo que a sus niveles de voltaje se refiere (por ejemplo provocado por una tierra inestable) y que la pendiente de los flancos sea la más elevada posible. Esto se hace crítico a medida que el sistema utiliza mayor número de bits y la

frecuencia de la señal analógica de entrada aumenta.

Además mediante la ecuación 9 podemos deducir las características requeridas de la señal responsable del muestreo en función de la frecuencia de entrada y del número de bits del convertidor. Así, el máximo jitter permitido en el muestreo para que no afecte a los códigos digitales de salida vendrá dado por

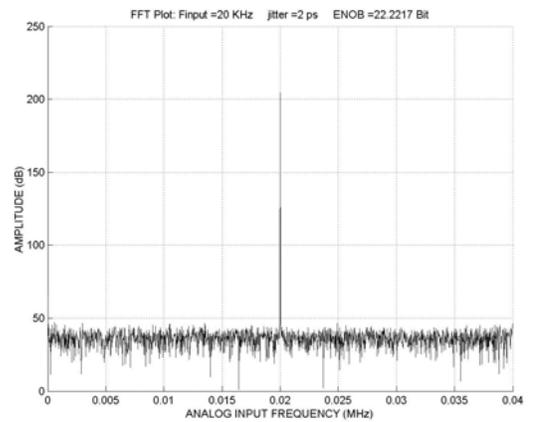
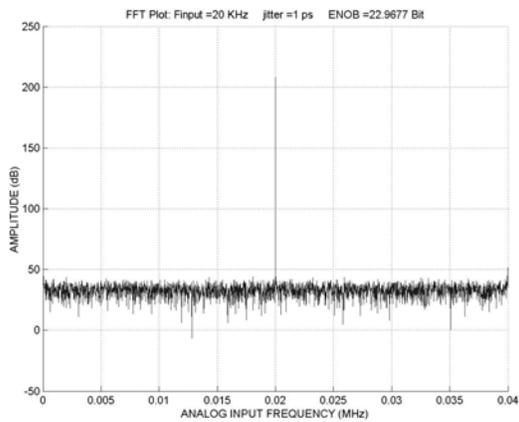
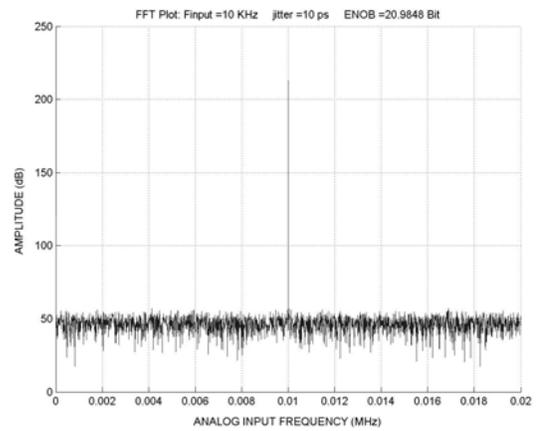
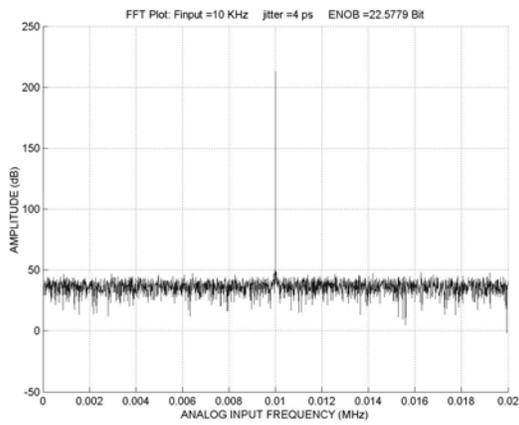
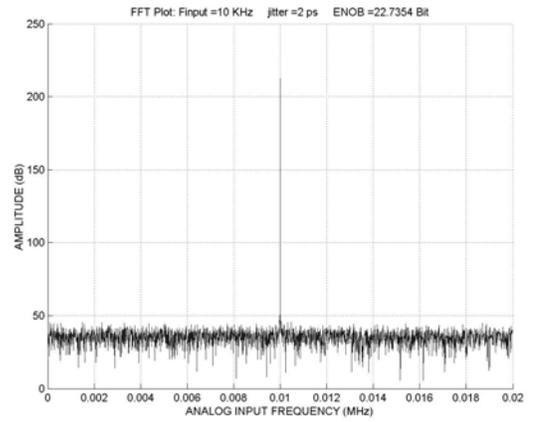
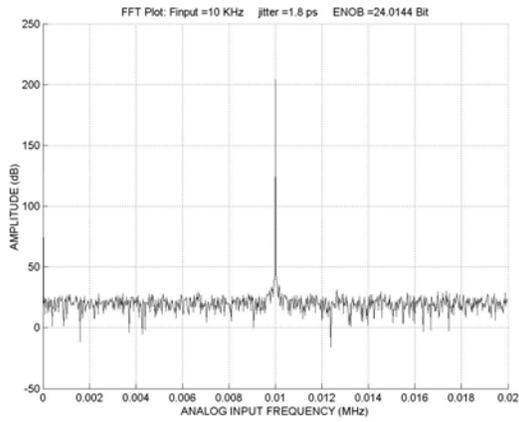
$$\Delta t \leq \frac{1}{2^N \cdot \pi \cdot F_{in}} \quad (10)$$

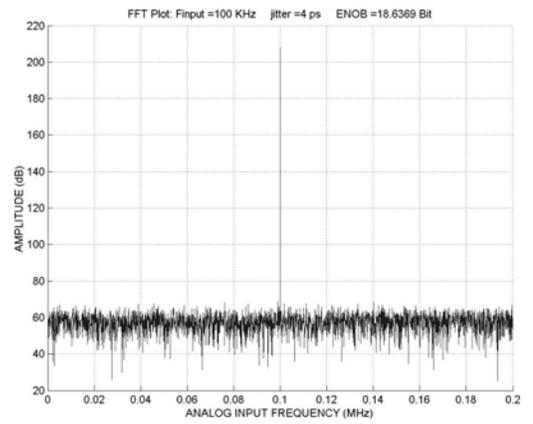
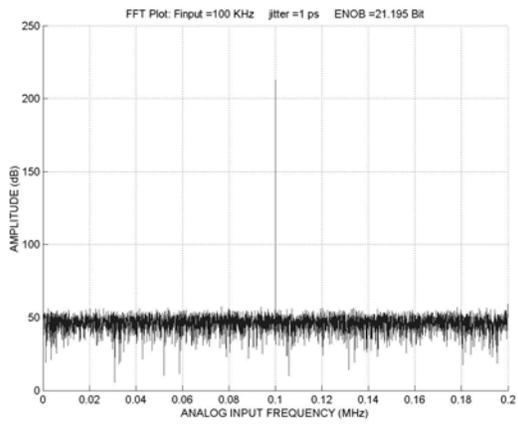
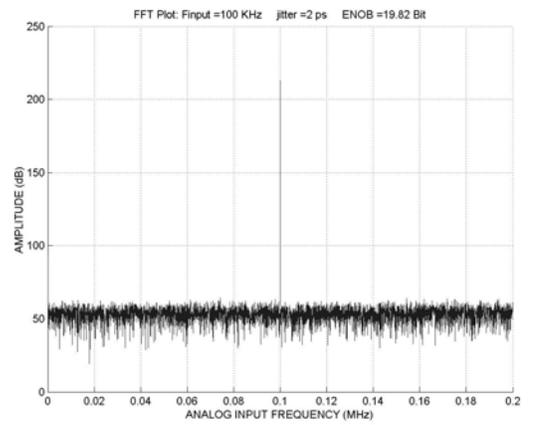
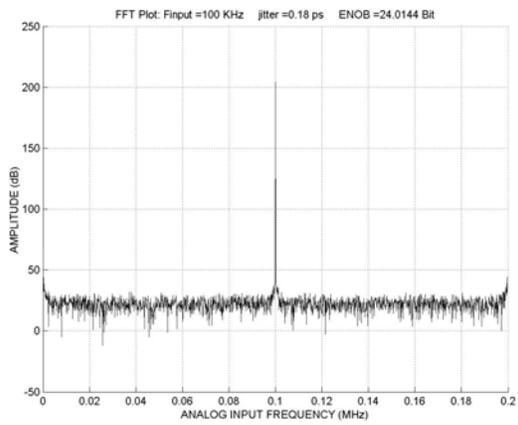
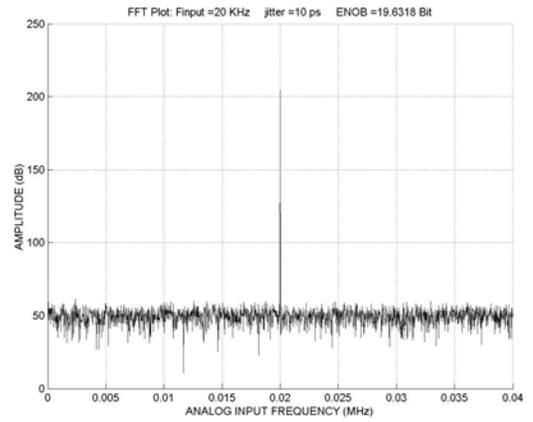
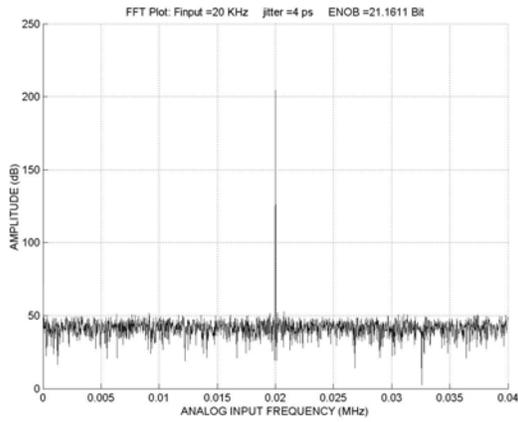
Supongamos un sistema de audio de 24 bits, entonces el máximo jitter permitido para que los códigos de la conversión no se vean afectados será de 1ps. Teniendo en cuenta que los osciladores actuales de muy bajo jitter se sitúan sobre los 5ps, esto nos da una idea de lo difícil que es obtener con un sistema ADC una precisión efectiva por encima de los 20 bits siempre que la frecuencia de entrada no esté por debajo de los Khz.

Para analizar exactamente como el ruido en la señal de reloj afecta a la precisión efectiva de un convertidor A/D, se desarrolló una aplicación para MATLAB que analiza los datos digitales de salida correspondientes a una señal sinusoidal a la entrada. Mediante la transformada de Fourier (FFT) de dichos datos se obtiene la característica Signal-to-noise ratio (SNR) y la distorsión armónica total (THD) de la conversión y, con esto, el número efectivo de bits del sistema (ENOB).

Para llevar a cabo el análisis, se crearon señales sinusoidales digitales a las que se les añadió un error en los códigos en función del jitter provocado por el ruido en la señal de reloj, siguiendo el modelo previamente expuesto. En todos los casos se supuso una pendiente para los flancos de 1V/1ns, el cual es un valor relativamente rápido para las transiciones.

A continuación se exponen diversas simulaciones llevadas a cabo para distintas frecuencias en la señal de entrada (0-100Khz) usando un convertidor de 24 bits. Se fue variando la característica de ruido (Vn) en el voltaje de la señal de muestreo obteniendo los siguientes resultados.





4. CONCLUSIONES

Las conclusiones de las simulaciones son claras. Para un sistema ADC de alta precisión como es el simulado (24 Bit) la característica de jitter de la señal de muestreo es crítica a medida que se aumenta la frecuencia en la entrada. Mientras que para 1KHz podemos obtener la máxima resolución del convertidor (suponiendo un comportamiento ideal del mismo) con un jitter de 18ps, para señales de 20 Khz. el máximo jitter permitido sería de 0.9ps. Esto en la práctica es imposible de obtener ya que, en la actualidad, los dispositivos comerciales con un menor jitter rondan los 5ps. Esto nos muestra como a la hora de diseñar un ADC de alta resolución se debe prestar máxima atención a los circuitos responsables de la señal de muestreo y al layout del sistema ya que el mínimo ruido en dicha señal perjudicará en gran medida el rendimiento del convertidor.

Data Converters”, Application Report Texas Instruments, Marzo 2001.
Hancock J., “Jitter-Understanding it, Measuring it, Eliminating it”, High Frequency Electronics, Abril 2004.

RECONOCIOMIENTOS

El autor expresa sus agradecimientos al personal del departamento AI M MSE de la empresa Infineon Technologies por el soporte técnico obtenido durante el desarrollo de este trabajo.

REFERENCIAS

- Downs R., M. Ashton, “Precision Data Acquisition Systems”, Texas Instruments, 2003.
Leonard B., “High-speed A/D converter designs: Layout and interfacing pitfalls”, I&CDS, Enero 1987
Brannon B., “Analyzing ADC Noise Impacts on Wireless System Performance”, CommsDesign, Mayo 2003.
Guery A., C. Kitchin, “Choosing the Right Op Amp for Your High-Resolution ADC”, Sensors, Marzo 2003
Shimanouchi M., “An Approach to Consistent Jitter Modeling for Various Jitter Aspects and Measurement Methods”, IEEE International Test Conference, pp 848-857, 2001.
.Rowland , “Amplifiers and Bits: An Introduction to Selecting Amplifiers for General-Purpose